



(19)

(11) Publication number: 05047998 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 03209025

(51) Intl. Cl.: H01L 25/065 H01L 25/07 H01L 25/18

(22) Application date: 21.08.91

(30) Priority:

(43) Date of application publication: 26.02.93

(84) Designated contracting states:

(71) Applicant: SONY CORP

(72) Inventor: MUNAKATA ICHIRO

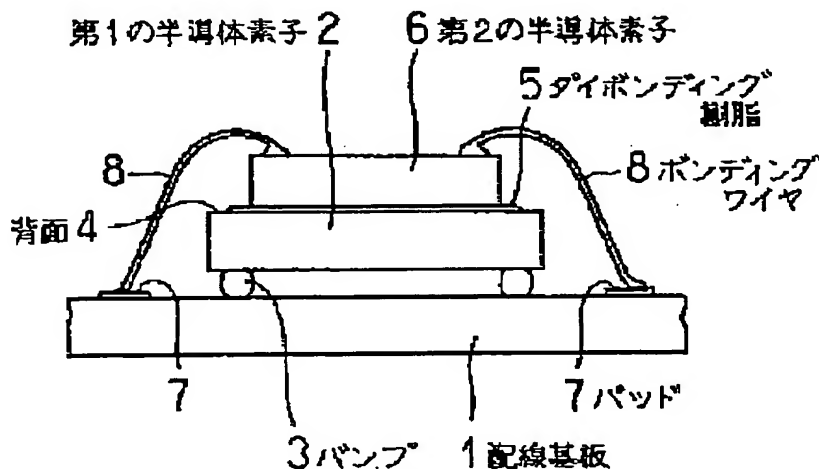
(74) Representative:

(54) HIGH DENSITY MOUNTING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To enhance mounting density of semiconductor elements on a circuit board.

CONSTITUTION: A high density mounting semiconductor device in which second semiconductor element 6 is adhered fixedly to a back surface 4 of a first semiconductor element 2 flip chip-bonded to a circuit board 1 through bumps 3, by die bonding resin 5, and electrodes of the element 6 are connected to pads 7 formed on the board 1 by bonding wires 8. Thus, twice as high as mounting density of prior art, can be provided, and thermal coupling between upper and lower parts is extremely improved, and hence temperature compensation of the element having temperature dependency can be effectively performed.



COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-47998

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 25/065

25/07

25/18

7220-4M

H01L 25/08

B

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号

特願平3-209025

(22)出願日

平成3年(1991)8月21日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 宗像 一郎

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人 弁理士 高橋 光男

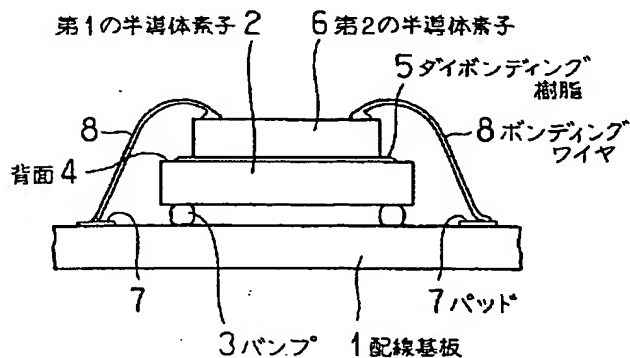
(54)【発明の名称】 高密度実装化半導体装置

(57)【要約】 (修正有)

【目的】配線基板への半導体素子の実装密度を高めることを目的とする。

【構成】配線基板1にバンプ3を介してフリップチップボンディングした第1の半導体素子2の背面4に、ダイボンディング樹脂5で第2の半導体素子6を接着、固定し、この半導体素子6の各電極と前記配線基板1上に形成されたパッド7とをボンディングワイヤ8で接続して構成した高密度実装化半導体装置。

【効果】従来技術の2倍の高密度実装ができ、そして上下間の熱的結合がきわめて良いので温度依存性がある半導体素子の温度補償が効果的に行える。



1

2

【特許請求の範囲】

【請求項1】配線基板にフリップチップボンディングした第1の半導体素子の背面にダイボンディング樹脂を介して第2の半導体素子を固着し、そしてこの第2の半導体素子の各電極と前記配線基板上の配線とをボンディングワイヤで接続したことを特徴とする高密度実装化半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、超小型化電子機器に実装するための高密度実装化半導体装置に関するものである。

【0002】

【従来の技術】従来技術の高密度実装化方法の一つとして、図2に示したような方法がある。即ち、配線基板1の配線と半導体素子2の各電極とを bumps 3 を介して、半導体素子2を配線基板1に接続する、所謂フリップチップボンディング法による実装方法である。

【0003】

【発明が解決しようとする課題】ところが、この実装方法では、その半導体素子2が実装されている部分の面積には他の電子部品を実装することができず、その半導体素子2そのものが専有する面積になっている。近年、ラジオ、8mmビデオカメラ、CDプレーヤ、ヘッドホンステレオ等の電子機器は、電子部品が高密度実装化され、小型化されるに至っているが、なお一層小型化そして薄型化するために、なお一層電子部品の高密度実装化が要請されている。この発明は、この要請に応えるために、前記半導体素子2が占める面積を2倍に活用しようとするものである。

【0004】

【課題を解決するための手段】それ故、この発明では、配線基板1にフリップチップボンディングした前記半導体素子2の背面にダイボンディング樹脂を介して第2の半導体素子を固着し、そしてこの第2の半導体素子の各電極と前記配線基板1上の配線とをボンディングワイヤで接続するように構成した。

【0005】

【作用】従って、この発明によれば、従来技術における半導体素子2の専有面積を2倍に活用でき、電子機器に組み込まれる電子部品の一層の高密度実装化ができる。

【0006】

【実施例】以下、図1を用いて、この発明の高密度実装

化半導体装置の構成を説明する。なお、図2に示した構成部分と同一部分には同一の符号を用いて説明する。配線基板1の配線と第1の半導体素子2の各電極とを、半田或いは金からなる bumps 3 を介して、第1の半導体素子2を配線基板1に接続する。この発明の高密度実装化半導体装置は、この第1の半導体素子2の背面4に、ダイボンディング樹脂5で第2の半導体素子6を重ね合わせるようにして接着、固定し、この半導体素子6の各電極（図示していない）と配線基板1に形成された電気回路配線の対応するそれぞれのパッド7とをボンディングワイヤ8接続するように構成した。

【0007】このような構成のこの発明の高密度実装化半導体装置としては、第1及び第2の各半導体素子2及び6は直接接合されるので、熱的結合が極めて高く、例えば、温度特性を有する半導体素子を第2の半導体素子6とし、温度補償回路を含む周辺回路の半導体素子を第1の半導体素子2として、これらとの組合せで実装すると効果的である。更にまた、リモコン用やレーザドライバ等の少素子モジュールでは、LED、レーザ素子のような機能素子を第2の半導体素子6とし、その周辺の半導体素子を第1の半導体素子2として同一箇所に実装できるので、超小型モジュールを実現できる。

【0008】

【発明の効果】以上のように、この発明の高密度実装化半導体装置によれば、従来技術の2倍の高密度実装が可能になり、また上下半導体素子間の熱的結合が極めて良いので温度依存性がある素子の温度補償が効果的に行えるという特徴がある。

【図面の簡単な説明】

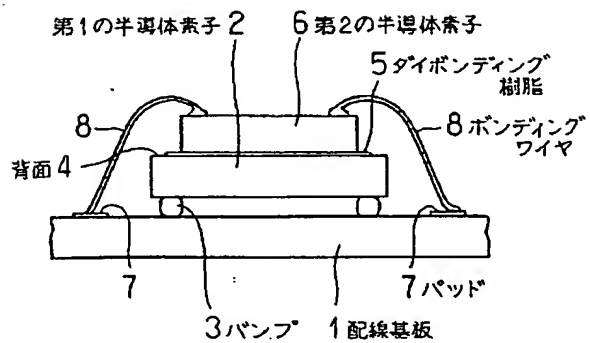
【図1】この発明の実施例である高密度実装化半導体装置を示す断面側面図である。

【図2】従来技術の半導体装置の配線基板への実装方法を説明するための断面側面図である。

【符号の説明】

- 1 配線基板
- 2 半導体素子（第1の半導体素子）
- 3 bumps
- 4 背面
- 5 ダイボンディング樹脂
- 6 第2の半導体素子
- 7 パッド
- 8 ボンディングワイヤ

【図1】



【図2】

